

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-243145

(43)Date of publication of application : 07.09.1999

(51)Int.Cl.

H01L 21/768

(21)Application number : 10-363411

(71)Applicant : TEXAS INSTR INC <TD>

(22)Date of filing : 21.12.1998

(72)Inventor : BRANKNER KEITH J
BRENNAN KENNETH D
SONIA Y SHAW

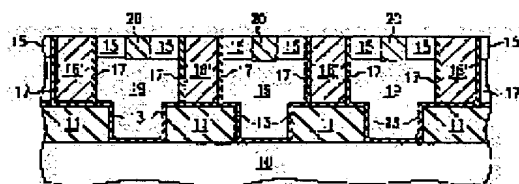
(30)Priority

Priority number : 97 68191 Priority date : 19.12.1997 Priority country : US

(54) METHOD OF FORMING CONDUCTIVE LAYER IN INTEGRATED CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a method of decreasing a space between conductive paths in permittivity for lessening a large scale integrated circuit in crosstalks and increasing the operating speed.

SOLUTION: Cavities 19 are provided between conductive paths 11 of an integrated circuit, and air is trapped in the cavities 19 to lessen permittivity of the spaces between the conductive paths 11. After the conductive paths 11 have been formed and filling material 14 formed between and on the conductive paths 11. An oxide cap 15 is formed on the filling material 14. A conductive plug 16 is provided, penetrating through the filling material 14 and the oxide cap 15. A photoresist layer 18 is formed covering the conductive plug 16 and the oxide cap 15 and patterned, a pinhole is formed penetrating through the oxide cap 15, and the filling material exposed through the pinhole is removed through etching. The pinhole is packed with another oxide cap material 20, and a surface where the conductive plugs 16 and exposed is formed on the oxide caps 20.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-243145

(43)公開日 平成11年(1999) 9月7日

(51)Int.Cl.⁸

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

C

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平10-363411

(22)出願日 平成10年(1998)12月21日

(31)優先権主張番号 0 6 8 1 9 1

(32)優先日 1997年12月19日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 ケイス ジェイ. ブランクナー

アメリカ合衆国 テキサス州リチャードソ
ン, トワイライト サークル 802

(72)発明者 ケネス ディ. プレナン

アメリカ合衆国 テキサス州ルイスビル,
ノース ハッチャー アベニュー 112

(74)代理人 弁理士 浅村 皓 (外 3 名)

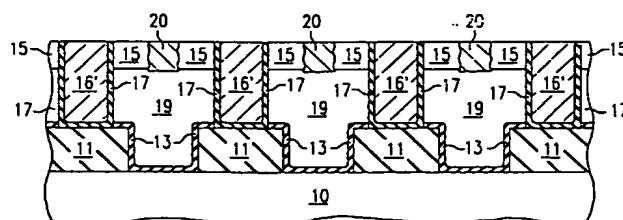
最終頁に続く

(54)【発明の名称】 集積回路に導電層を形成する方法及び半導体集積回路

(57)【要約】

【課題】 大規模集積回路内の漏話を減らし速度を上げるため、導電路の間の誘電率を減少させる方法を開示する。

【解決手段】 集積回路の導電路(11)の間に空洞(19)を設けて空気を閉じ込めて、導電路(11)の間の誘電率を減少させる。導電路(11)を形成した後で、導電路(11)の間と上にエッチング可能な充填材料(14)を形成する。充填材料(14)の上に酸化物キャップ(15)を形成する。充填材料(14)と酸化物キャップ(15)を貫通して導電プラグ(16)を形成する。導電プラグ(16)と酸化物キャップ(15)の上をホトレジスト層(18)で覆ってパターン化し、酸化物キャップを貫通して「ピンホール」を作り、これにより露出された充填材料をエッチングして除去する。「ピンホール」に別の酸化物キャップ材料(20)を詰めて、導電プラグ(16)が露出した表面を酸化物キャップの上に形成する。



【特許請求の範囲】

【請求項 1】 集積回路内に少なくとも 2 つの導電路を含む導電層を形成する方法であって、
前記導電路を形成し、
前記導電路の間と上にエッチング可能な材料の層を形成し、
前記導電路の上と間に除去可能な充填材料を形成し、
前記充填材料の上に酸化物層を形成し、
前記充填材料と前記酸化物層の中に、前記導電路と電気的に接触する導電プラグを形成し、
前記除去可能な充填材料への入り口になるように前記酸化物層内に開口を形成し、
前記充填材料の少なくとも一部を除去する、ステップを含む、集積回路内に導電層を形成する方法。

【請求項 2】 半導体集積回路であって、
複数の能動半導体素子と、
複数の平行な導電路を含む層、を備え、2 つの隣接する導電路はその間に囲まれた空洞を有する、集積半導体回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は一般に集積回路に関するもので、より詳しく述べると、回路内の素子を電気的に相互接続する導電金属片に関する。一般に、これらの金属片は一般に金属層と呼ばれる層になっている。集積回路は複数の金属層を備えてよい。

【0002】

【従来の技術】 集積回路の規模が大きくなるに従って、集積回路内の素子を電気的に結合する導電片の間の距離は必然的に減少する。導電路の間の距離が減少すると導電路間の漏話が増え、静電容量が増える。漏話が増えると導電路で送信される信号の完全性はそれだけ失われ、また静電容量が増えると導電路で送信される信号の速度はそれだけ低下する。これまで、導電路の間の誘電率を減少させる研究が行なわれてきた。誘電率を減少させると漏話も静電容量も減少し、したがって集積回路の性能は向上する。集積回路技術に適した材料の誘電率を減少させてしかも集積回路の性能を向上させる技術が必要である。

【0003】 したがって、金属層の導電片の間の材料の誘電率を減少させる技術が必要になった。

【0004】

【課題を解決するための手段】 この発明では、集積回路の製造に用いられる材料より誘電率が低い気体（一般に空気）を金属層の導電片の間の領域に入れることにより上述の特徴を実現する。金属層材料の導電片を形成した後で、金属層材料と露出された誘電体材料（金属層の導電片をその上に形成する）の上を薄い保護誘電体薄膜で覆う。残りの金属層材料と露出された誘電体層の上に充填層材料と酸化物キャップ材料を形成する。充填材料と

酸化物キャップ材料の中にビア（vias）を形成する。この発明のこれらの特徴は、図面を参照して以下の説明を読めば理解できる。

【0005】**【発明の実施の形態】**

【実施例】 図 1 - 図 9 は、半導体集積回路の導電路の間にエアギャップを設ける方法を示す。図 1 で、ポリ金属誘電体層 10 の上に導電層（すなわち、金属 n 層）11 を形成する。図 2 で、導電材料層をエッチングして、エアギャップ 12 で分離された導電路（すなわち相互接続路）11 を形成する。図 3 で、導電路 11 とポリ金属誘電体 10 の露出部の上に誘電体膜（例えば酸化物材料）13 の薄い（約 300 Å）層を堆積させる。図 4 で、通常の層間誘電体材料ではなく、例えば Cl_2 等方エッチングにより除去できるように選択された充填材料 14 を導電材料パターンにかぶせる。充填材料 14 の上を酸化物キャップ材料 15 で覆う。

【0006】 図 5 で、酸化物キャップ材料 15 と充填材料 14 をエッチしてビア（vias）16 を作る。露出表面を（窒化チタン／チタンの）プラグライナ 17 で覆う。図 6 で、ビア 16 に導電プラグ材料（例えばタングステン）を充填して導電プラグ 16' を作る。図 7 で、酸化物層 17 と露出されたプラグ 16' の上にホトレジスト層 18 を形成する。次にホトレジスト層 18 をパターン化して導電プラグ 16' を保護し、プラグライナ 17 と酸化物キャップ材料 15 をエッチングして「ピンホール」を作り、充填材料 14 を露出させる。図 8 で、充填材料 14 の大きな領域をエッチングにより除去して空洞 19 を作る。次にホトレジスト材料 18 を除去し、酸化物キャップ内の「ピンホール」を別の酸化物材料 20 でふさぐ。図 9 で、酸化物材料 20 と酸化物キャップ 15 に化学的/機械的处理を行なって導電プラグ 16' を露出させる。これで集積回路に次の処理を行なうことができる。

【0007】 上に述べた手続きは、導電路の間の（特に相互接続層の平行な導電路の間の）空間内に大量の気体（例えば空気）を封入する方法である。導電路の間の気体により誘電率は低くなり、したがって寄生静電容量は小さくなり、導電路を流れる信号電流の間の漏話は減少する。「ダミーの」導電路および/または「ダミーの」導電プラグを追加すれば、支持構造を増やしたり、熱導電を向上させたりすることができる。

【0008】 この発明を特定の実施の形態に関連して説明したが、当業者が理解するように、この発明から逸れずに好ましい実施の形態の要素を変更し代替することが可能である。更に、この発明の重要な教示から逸れずに、特定の状態や材料をこの発明の教示に適応させることができる。

【0009】 上の説明から明らかなように、この発明の態様は例示した特定の詳細に限られるものではない。し

たがって当業者は他の修正や応用を考えることができる。特許請求の範囲はこの発明の精神と範囲から逸れない全ての修正や応用を含むものである。

【0010】以上の説明に関して更に以下の項を開示する。

(1) 集積回路内に少なくとも2つの導電路を含む導電層を作る方法であって、前記導電路を形成し、前記導電路の間と上にエッチング可能な材料の層を形成し、前記導電路の上と間に除去可能な充填材料を形成し、前記充填材料の上に酸化物層を形成し、前記充填材料と前記酸化物層の中に、前記導電路と電気的に接触する導電プラグを形成し、前記除去可能な充填材料への入り口になるように前記酸化物層内に開口を形成し、前記充填材料の少なくとも一部を除去する、ステップを含む、集積回路内に導電層を作る方法。

【0011】(2) 前記導電プラグと前記酸化物層の上に、前記酸化物層内の前記開口に充填する第2酸化物層を堆積させるステップを更に含む、第1項に記載の集積回路内に導電層を作る方法。

(3) 前記酸化物と前記第2酸化物層の上に表面を形成するステップを更に含む、第2項に記載の集積回路内に導電層を作る方法。

(4) 前記除去可能な充填材料はエッチング可能な材料である、第1項に記載の集積回路内に導電層を作る方法。

【0012】(5) 半導体集積回路であって、複数の能動半導体素子と、複数の平行な導電路を含む層、を備え、2つの隣接する導電路はその間に囲まれた空洞を有する、半導体集積回路。

(6) 前記囲まれた空洞は第1項に記載の方法で作られる、第5項に記載の半導体集積回路。

【0013】(7) 半導体回路内の導電路の間に空洞を形成する方法であって、導電路の間と上の空間に除去可能な充填材料を充填し、前記除去可能な充填材料の上に被覆層を形成し、前記充填材料内にビアを形成し、前記被覆層内に開口を作り、前記開口を通して充填材料を除去し、前記開口に充填する、ステップを含む、空洞を形成する方法。

【0014】(8) 前記開口に充填するステップは第2被覆層で覆うステップを含む、第7項に記載の空洞を形成する方法。

(9) 前記被覆層を機械的に支持するダミーのビアを作るステップを更に含む、第7項に記載の空洞を形成する方法。

(10) 充填されて前記ビアになる井戸の表面上にライナ層を形成するステップを更に含む、第7項に記載の空洞を形成する方法。

【0015】(11) 半導体集積回路の導電路11の間に空洞19を設ける方法を開示する。これらの空洞19の内部に空気または気体を閉じ込めて、2つの導電路11の間の誘電率を減少させる。導電路11を形成した後で、導電路11の間と上にエッチング可能な充填材料14を形成する。充填材料14の上に酸化物キャップ15を形成する。充填材料14と酸化物キャップ15を貫通して導電路11に電気的に結合する導電プラグ16を形成する。導電プラグ16と酸化物キャップ15の上をホトレジスト層18で覆う。ホトレジスト層18をパターン化することにより、導電プラグ16の間の酸化物キャップ15にアクセスすることができる。酸化物キャップを貫通して「ピンホール」を作り、この「ピンホール」により露出された充填材料をエッチングして除去する。「ピンホール」に別の酸化物キャップ材料20を詰めて、導電プラグ16が露出した表面を酸化物キャップの上に形成する。この構造を用いれば更に次の処理を行なうことができる。

【図面の簡単な説明】

【図1】この発明の、集積回路内の導体の間にエアギャップを作る工程の一部の略図。

【図2】この発明の、集積回路内の導体の間にエアギャップを作る工程の一部の略図。

【図3】この発明の、集積回路内の導体の間にエアギャップを作る工程の一部の略図。

【図4】この発明の、集積回路内の導体の間にエアギャップを作る工程の一部の略図。

【図5】この発明の、集積回路内の導体の間にエアギャップを作る工程の一部の略図。

【図6】この発明の、集積回路内の導体の間にエアギャップを作る工程の一部の略図。

【図7】この発明の、集積回路内の導体の間にエアギャップを作る工程の一部の略図。

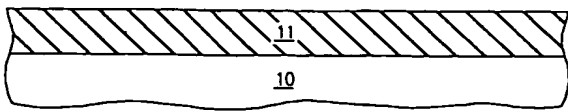
【図8】この発明の、集積回路内の導体の間にエアギャップを作る工程の一部の略図。

【図9】この発明の、集積回路内の導体の間にエアギャップを作る工程の一部の略図。

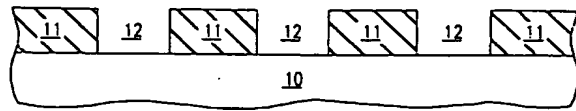
【符号の説明】

11 導電路
14 充填材料
15 酸化物
16 導電プラグ
18 ホトレジスト
19 空洞
20 酸化物

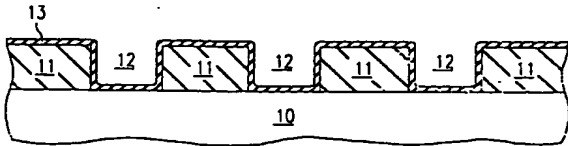
【図 1】



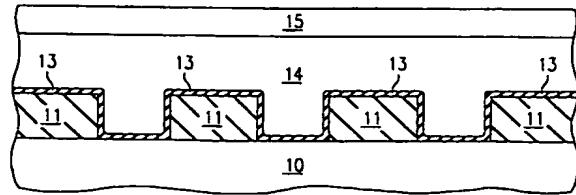
【図 2】



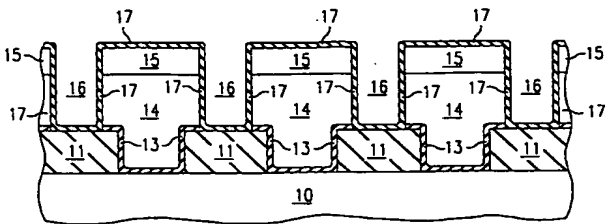
【図 3】



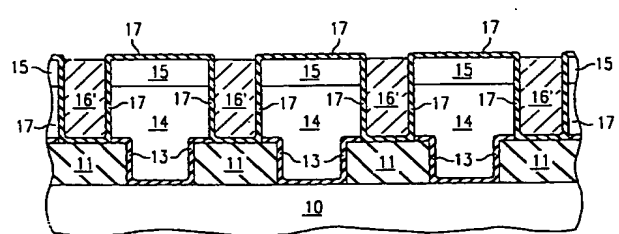
【図 4】



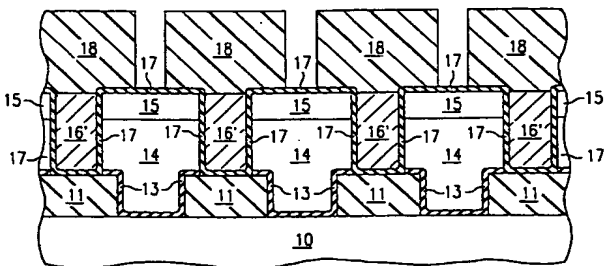
【図 5】



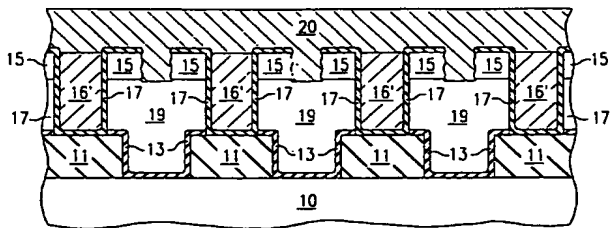
【図 6】



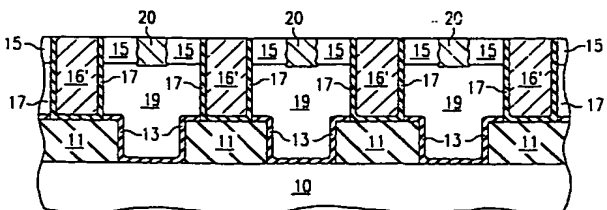
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 ソニヤ ワイ. ショー
アメリカ合衆国 テキサス州キャロルト
ン, ジャネット ウエイ 1509